

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11109410 A

(43) Date of publication of application: 23 . 04 . 99

(51) Int. Cl

G02F 1/136
G01R 31/00
G09F 9/00
// G09G 3/36

(21) Application number: 09267508

(71) Applicant: SHARP CORP

(22) Date of filing: 30 . 09 . 97

(72) Inventor: NAGATA HISASHI
AKEHI YASUNAO
SHIMADA NAOYUKI

(54) ACTIVE MATRIX SUBSTRATE OF LIQUID
CRYSTAL DISPLAY DEVICE AND ITS
INSPECTION

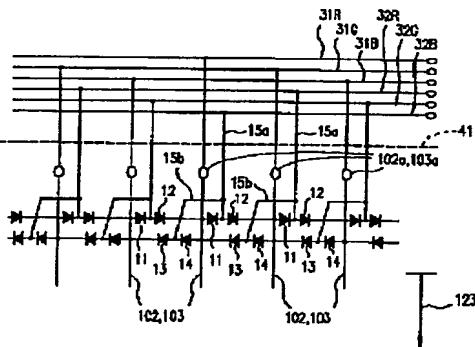
wiring 31R.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to disperse static electricity to respective scanning lines and signal lines and to inspect the leakage in the state of bundling the respective line.

SOLUTION: Respective diodes 11, 12 are connected in series and inserted between the respective scanning lines 102 and respective diodes 13, 14 are connected in series and inserted between the respective scanning lines 102. The directions of the respective diodes 11, 12 and the respective diodes 13, 14 vary from each other. A bias voltage +10 V above a voltage +5 V for inspecting the leakage is impressed between the respective diodes 11 and 12 and between the respective diodes 13 and 14 via bias supply lines 5a and bias branch lines 15b from bias wiring 32R and the reverse bias voltage of 5 V is impressed the diode 11 and diode 14. Consequently, currents do not flow to short-circuit wiring 31R and the execution of the leakage inspection is made possible unless there is the leakage between the respective bundled signal lines 103 by the short-circuit



公文書

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-109410

(43)公開日 平成11年(1999)4月23日

(51) Int.Cl.⁶
 G 0 2 F 1/136
 G 0 1 R 31/00
 G 0 9 F 9/00
 // G 0 9 G 3/36

F I
 G 0 2 F 1/136
 G 0 1 R 31/00
 G 0 9 F 9/00
 G 0 9 G 3/36

審査請求 未請求 請求項の数8 OL (全11頁)

(21)出願番号 特願平9-267508

(22)出願日 平成9年(1997)9月30日

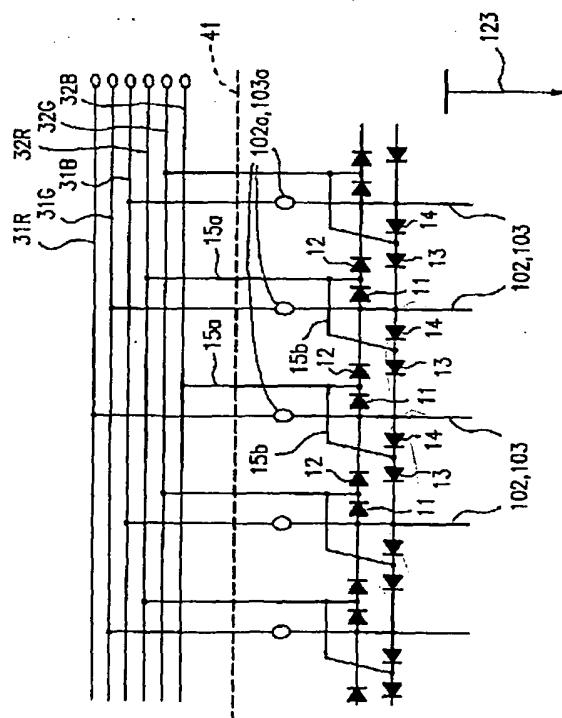
(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72)発明者 永田 尚志
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72)発明者 明比 康直
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (72)発明者 島田 尚幸
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内
 (74)代理人 弁理士 山本 秀策

(54)【発明の名称】 液晶表示装置のアクティブマトリクス基板及びその検査方法

(57)【要約】

【課題】 静電気を各走査線や各信号線に分散することができ、かつ各線を束ねた状態でのリーク検査を可能にする。

【解決手段】 各走査線102間に各ダイオード11, 12を直列接続して挿入すると共に、各走査線102間に各ダイオード13, 14を直列接続して挿入している。各ダイオード11, 12と各ダイオード13, 14の向きは、相互に異なる。バイアス配線32Rからバイアス供給線15a及びバイアス枝線15bを介して各ダイオード11, 12間及び各ダイオード13, 14間に、リーク検査用の電圧+5V以上のバイアス電圧+10Vを加え、ダイオード11及びダイオード14に5Vの逆バイアス電圧を加える。この結果、短絡配線31Rによって束ねられた各信号線103間にリークがない限り、短絡配線31Rには電流が流れず、リーク検査を実施することができる。



【特許請求の範囲】

【請求項 1】絶縁基板上に、複数の信号線及び複数の走査線を相互に直交させて配置し、各信号線及び各走査線によって区画される各領域毎に、それぞれの画素電極を設け、これらの画素電極を各信号線及び各走査線を通じて選択的に駆動する液晶表示装置のアクティブマトリクス基板であって、

各信号線間及び各走査線間の少なくとも一方は、複数のダイオードを直列してなる直列回路を介して接続された液晶表示装置のアクティブマトリクス基板。

【請求項 2】各信号線間及び各走査線間の少なくとも一方は、2組の直列回路を介して接続され、各直列回路間で、ダイオードの向きが異なる請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 3】複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各直列回路のバイアス線を選択的に共通化し、各信号線の端子間及び各走査線の端子間を通るバイアス線を1本とした請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 4】複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各直列回路のバイアス線を各信号線の端子及び各走査線の端子よりも各画素電極の在る側のエリアに配置した請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 5】各ダイオードを含み、かつ各信号線の端子及び各走査線の端子を除くエリアを絶縁膜によって覆った請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 6】複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各バイアス線の端子をアクティブマトリクス基板の分断によって取り除く請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 7】複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、

各ダイオード及び各バイアス線を含み、かつ各信号線の端子及び各走査線の端子を除くエリアを絶縁膜によって覆い、

各バイアス線の端子を各信号線の端子及び各走査線の端子から離間して配置した請求項 1 に記載の液晶表示装置のアクティブマトリクス基板。

【請求項 8】請求項 1 に記載の液晶表示装置のアクティブマトリクス基板の検査方法であって、

各ダイオードを直列してなる直列回路を介して接続された各信号線及び各走査線の少なくとも一方の線に電圧を印加するときには、各ダイオードの間に電圧を印加して、電圧を印加される該線に接続されたダイオードに逆バイアス電圧を加える液晶表示装置のアクティブマトリクス基板の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置のアクティブマトリクス基板及びその検査方法に関する。

【0002】

【従来の技術】周知の様に、液晶表示装置としては、アクティブマトリクス型のものがある。このアクティブマトリクス型の液晶表示装置においては、一对の基板を対向配置し、これらの基板間に液晶を挟持している。また、一方の基板に対向電極を設け、他方の基板には、複数の信号線及び複数の走査線を相互に直交させて配置し、各信号線及び各走査線によって区画される各領域毎に、それぞれの画素電極を設けている。これらの画素電極を各信号線及び各走査線を通じて選択的に駆動すると共に対向電極を駆動して、各画素による表示をなす。

【0003】各画素電極を設けた基板をアクティブマトリクス基板と称する。このアクティブマトリクス基板においては、先に述べた様に各画素電極を各信号線及び各走査線を通じて選択的に駆動する。このため、各画素電極にそれぞれのスイッチング素子を付設しており、各走査線を順次走査し、その度に、走査線を通じて該走査線に沿う各スイッチング素子をオンにし、それぞれの信号電圧を各信号線及びオンにされた該各スイッチング素子を通じて該走査線に沿う各画素電極に印加する。各走査線の走査を一巡すると、全ての各画素電極にそれぞれの信号電圧が印加され、1画像の表示がなされる。

【0004】画素電極を駆動するスイッチング素子としては、TFT (薄膜トランジスタ)、MIM (金属-絶縁膜-金属) 素子等が一般に知られている。

【0005】図6は、TFTを用いて構成されるアクティブマトリクス基板を部分的に示している。ここでは、走査線 102 を TFT 101 のゲート電極に接続し、この走査線 102 を通じて TFT 101 をオンにしている。信号線 103 を TFT 101 のソース電極に接続すると共に、画素電極 104 をコンタクトホール 105 を介して TFT 101 のドレイン電極に接続し、信号電圧を信号線 103 及び TFT 101 を通じて画素電極 104 に加えている。TFT 101 のドレイン電極は、補助容量を形成する一方の電極 106a にも接続され、この電極 106a にも信号電圧が印加される。補助容量の他方の電極 106b は、別の各補助容量の電極 106b と共に接続され、別の基板の対向電極に接続される。

【0006】図7は、図6のA-A' に沿う断面構造を示している。図7から明らかな様に、アクティブマトリクス基板は、透明な絶縁性基板 111 上に、TFT 101 のゲート電極 112、ゲート絶縁膜 113、半導体層 114、TFT 101 のソース電極並びにドレイン電極となるn⁺-Si層 115、導電層からなる信号線 103、層間絶縁膜 117、透明導電層からなる画素電極 104 を順次積層したものである。画素電極 104 は、層間絶縁膜 117 のコンタクトホール 105 を介して TFT 101 のドレイン電極 (n⁺-Si層 115) に接続

されている。

【0007】ここでは、ゲート電極112と同層に形成される走査線102と画素電極104間、及び信号線103と画素電極104間に、層間絶縁膜117を介在させる構造であるため、走査線102並びに信号線103に対して、画素電極104をオーバーラップさせることができある。この様な構造は、例えば特開昭58-172685号に開示されており、これによって開口率の向上や、信号線に起因する電界のシールドによる液晶配向不良の抑制といった効果があることが知られている。

【0008】ところで、TFT等のアクティブ素子は、強電界に弱く、製造過程で生じる静電気によって破壊されることがしばしば起こる。例えば、TFTを適用した液晶表示装置の製造過程においては、液層の配向方向を決めるラビング工程で、ポリイミド等を原料とした配向膜を布で擦るので、このときに静電気が発生し、何らかの接触によって静電気が走査線102や信号線103に加わると、半導体層114の結晶構造に異変が起きて、TFTのしきい値が数Vずれる。この結果、TFTのスイッチング動作が正常に行われず、このTFTに接続されている画素電極104の部位が欠陥画素となる。

【0009】この様な事態を防止するために、一般に、アクティブマトリクス基板の製造工程では、該基板上の全ての各端子をショートリングと称される金属パターンを介して短絡している。

【0010】しかしながら、アクティブマトリクス基板ともう一方の基板を対向配置して張り合わせてから、ショートリングを削除し、この後に各信号線や各走査線を駆動する駆動回路やその周辺回路をアクティブマトリクス基板上に実装するので、このショートリングは、この実装工程における静電気の対策にはならない。

【0011】そこで、各信号線及び各走査線の入力端子近傍で、相互に隣り合う該各線間にスイッチング素子からなる入力保護回路を挿入し、1つの線に一定以上の静電気が加わったときには、その電荷を該線からスイッチング素子を介して隣りの線に逃がし、これによって過大な静電気を分散して、TFTの破壊を防止すると言うものがある（例えば特開昭63-106788号公報を参照）。

【0012】この公報によれば、図8に示す様に、スイッチング素子からなる各入力保護回路121は、各走査線102の入力端子102a並びに各信号線103の入力端子103aを配置した周縁エリア122と各画素電極を配置してなる表示エリア123の間に配置される。各入力保護回路121は、図9に示す様に相互に逆方向に向く一対のダイオード124からなり、各走査線102間（又は各信号線103間）に挿入されている。これらのダイオード124は、各画素電極のTFTと同じ工程で形成され、図10に示す様に走査線102（又は信号線103）をコンタクトホール125を介して半導体

層114上のn⁺-Si層115に接続し、このn⁺-Si層115に接続された短絡線126を隣りの他の走査線102（又は信号線103）に導き、この短絡線126をコンタクトホール127を介して隣りの他の走査線102（又は信号線103）に接続してなる。

【0013】各走査線102間にダイオード124を挿入する場合、図10のB-B'に沿う断面構造は、図11に示す様なものとなる。この図11から明らかな様に、ゲート電極112と同層の走査線102をコンタクトホール125を介してn⁺-Si層115に接続し、このn⁺-Si層115から導出された短絡線126をコンタクトホール127を介して走査線102に接続している。

【0014】

【発明が解決しようとする課題】しかしながら、上記従来の入力保護回路を設けた場合、各信号線間のリーク、及び各走査線間のリークを検査しようとしても、この検査を正しく行えないと言う問題があった。

【0015】すなわち、入力保護回路のダイオードの抵抗値は、画像の表示に差し支えない程に十分に高く、各走査線間の電位差並びに各信号線間の電位差が維持されるものの、一般に、リークの検査を行うときには、検査効率の向上のために、例えば偶数番目の各線を束ねると共に、奇数番目の各線を束ねて、偶数番目の各線と奇数番目の各線間のリークを検査しており、この状態では、偶数番目の各線と奇数番目の各線間に多数のダイオードが並列に挿入されるので、両者間の抵抗値が非常に小さくなつて、この抵抗値に相当する量以下のリークを検出することができず、リークの検査が極めて困難になつた。

【0016】そこで、本発明は、上記従来の課題を解決するためになされたものであって、静電気を各走査線や各信号線に分散することができ、かつ各線を束ねた状態でのリーク検査を可能にする液晶表示装置のアクティブマトリクス基板及びその検査方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記課題を解決するため、本発明は、絶縁基板上に、複数の信号線及び複数の走査線を相互に直交させて配置し、各信号線及び各走査線によって区画される各領域毎に、それぞれの画素電極を設け、これらの画素電極を各信号線及び各走査線を通じて選択的に駆動する液晶表示装置のアクティブマトリクス基板であつて、各信号線間及び各走査線間の少なくとも一方は、複数のダイオードを直列してなる直列回路を介して接続されている。

【0018】この様な構成によれば、例えば各信号線間は、複数のダイオードを直列してなる直列回路を介して接続されている。このため、一方の信号線の電荷を各ダイオードを介して他方の信号線に逃がすことができ、過

大きな静電気を分散することができる。また、各ダイオード間に電圧を印加して、少なくとも1つのダイオードに逆バイアスをかければ、少なくとも該バイアスの分だけ、各ダイオードを介しての各線間のリークを防止することができるので、各線を束ねた状態でのリーク検査が可能となる。

【0019】1つの実施形態では、各信号線間及び各走査線間の少なくとも一方は、2組の直列回路を介して接続され、各直列回路間で、ダイオードの向きが異なっている。

【0020】1つの実施形態では、複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各直列回路のバイアス線を選択的に共通化し、各信号線の端子間及び各走査線の端子間を通るバイアス線を1本にしている。この場合、各信号線の端子間及び各走査線の端子間に余地が少ない場合でも、バイアス線を配置することができる。

【0021】1つの実施形態では、複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各直列回路のバイアス線を各信号線の端子及び各走査線の端子よりも各画素電極の在る側のエリアに配置している。この場合は、各端子間にバイアス線を形成する必要がない。

【0022】1つの実施形態では、各ダイオードを含み、かつ各信号線の端子及び各走査線の端子を除くエリアを絶縁膜によって覆っている。

【0023】1つの実施形態では、複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各バイアス線の端子をアクティブマトリクス基板の分断によって取り除いている。この場合は、各ダイオードや該各ダイオードの配線のリークを防止することができる。

【0024】1つの実施形態では、複数組の直列回路毎に、各ダイオード間にバイアス線を接続し、各ダイオード及び各バイアス線を含み、かつ各信号線の端子及び各走査線の端子を除くエリアを絶縁膜によって覆い、各バイアス線の端子を各信号線の端子及び各走査線の端子から離して配置している。この場合は、各バイアス線の端子に不要な信号が加わる可能性が少なくなる。

【0025】また、本発明は、請求項1に記載の液晶表示装置のアクティブマトリクス基板の検査方法であつて、各ダイオードを直列してなる直列回路を介して接続された各信号線及び各走査線の少なくとも一方の線に電圧を印加するときには、各ダイオードの間に電圧を印加して、電圧を印加される該線に接続されたダイオードに逆バイアス電圧を加えている。

【0026】この様に各ダイオードの間に電圧を印加して、電圧を印加される線に接続されたダイオードに逆バイアス電圧を加えれば、先に述べた様に、少なくとも該バイアスの分だけ、各ダイオードを介しての各線間のリークを防止することができるので、各線を束ねた状態でのリーク検査が可能となる。

【0027】

【発明の実施の形態】以下、本発明の実施形態を添付図面を参照して説明する。図1は、本発明のアクティブマトリクス基板の第1実施形態を部分的に示す回路図である。この第1実施形態では、図8に示す入力保護回路121の各ダイオード124の代わりに、各走査線102間に各ダイオード11, 12を直列接続して挿入すると共に、各走査線102間に各ダイオード13, 14を直列接続して挿入している。各ダイオード11, 12と各10ダイオード13, 14の向きは、相互に異なる。また、各走査線102に沿って、それぞれのバイアス供給線15aを設け、これらのバイアス供給線15aからそれぞれのバイアス枝線15bを導出している。

【0028】バイアス供給線15aは、隣り合う近傍の走査線102から見て順方向に向く各ダイオード11, 12間に接続され、バイアス枝線15bは、該走査線102から見て順方向に向く各ダイオード13, 14間に接続されている。

【0029】更に、各ダイオード11～14は、各走査線102の入力端子102aの近傍に配置されている。

【0030】図2は、各ダイオード11～14を形成するパターンを示し、図3は、図2のC-C'に沿う断面構造を示している。また、各画素電極を配置した表示エリア123(図1に示す)においては、この第1実施形態のアクティブマトリクス基板は、図6及び図7に示す構造を有しており、この構造を前提として、図2のパターン及び図3の断面構造を形成している。

【0031】図2及び図3から明らかな様に、絶縁性基板111(図7に示す)上のゲート電極112(図7に示す)と同層の右側の走査線102をコンタクトホール21を介して短絡線22に接続し、この短絡線22をバイアス供給線15aまで導いて、このバイアス供給線15aの部位で、この短絡線22を半導体層114上のn⁺-S_i層115に接続し、このn⁺-S_i層115をコンタクトホール23を介して短絡線24に接続し、これによってダイオード12を形成している。また、短絡線24を左側の走査線102まで導いて、この短絡線24をn⁺-S_i層115に接続し、このn⁺-S_i層115をコンタクトホール25を介して該走査線102に接続し、これによってダイオード11を形成している。

【0032】同様に、左側の走査線102をコンタクトホール26を介して短絡線27に接続し、この短絡線27をバイアス枝線15bまで導いて、このバイアス枝線15bの部位で、この短絡線27をn⁺-S_i層115に接続し、このn⁺-S_i層115をコンタクトホール28を介して短絡線29に接続し、これによってダイオード13を形成している。また、短絡線29を右側の走査線102まで導いて、この短絡線29をn⁺-S_i層115に接続し、このn⁺-S_i層115をコンタクトホール30を介して該走査線102に接続し、これによ50

ってダイオード14を形成している。

【0033】ここでは、各走査線102毎に、走査線102に1本のバイアス供給線15aを並設し、このバイアス供給線15aからバイアス枝線15bを導出すると言うパターンを採用している。この様なパターンにおいては、各ダイオード11、12間に及び各ダイオード13、14間にそれぞれのバイアス供給線を接続し、2本のバイアス供給線を隣り合う2つの走査線間に配置すると言う他のパターンと比較すると、各走査線102間に広いスペースを必要としないので、各走査線102間のスペースの有効利用に効を奏する。特に、最近では、画像の高精細化が進んでおり、これに伴い各走査線102のピッチが狭くなり、しかも各走査線102及び各バイアス供給線の両者共に抵抗である方が望ましく、それらの面積を広くする必要がある。したがって、第1実施形態の様に各走査線102間のスペースを有効に利用することは、画像の高精細化にとって非常に好ましい。

【0034】次に、第1実施形態のアクティブマトリクス基板の製造過程を述べる。まず、絶縁性基板111上に、TFT101のゲート電極112、各バイアス供給線15a、各バイアス枝線15bの一部及び走査線102を形成し、この上にゲート絶縁膜113を積層し、各コンタクトホール21、23、25、26、28、30を形成した後、半導体層114及びn⁺-Si層115を形成する。半導体層114及びn⁺-Si層115は、各画素電極のTFT101となると共に、各ダイオード11～14ともなる。各ダイオード11～14は、TFT101と同一寸法のTFTのゲートを用いずに、このTFTのソース及びドレインをダイオードの各電極として用いたものである。

【0035】引き続いて、導電層を積層し、この導電層をバーニングすることによって、信号線103、各短絡線22、24、27、29、及び各バイアス枝線15bの一部を形成する。

【0036】この後、層間絶縁膜117として、感光性的アクリル樹脂をスピンドル塗布法によって3μmの膜厚で形成する。引き続いて、この層間絶縁膜117に対して、予め定められたパターンの露光、及びアルカリ性の溶液によるエッティングを施し、この層間絶縁膜117にコンタクトホール105を形成する。

【0037】また、層間絶縁膜117を形成する際には、各走査線102の入力端子102a上に層間絶縁膜117を形成せず、各走査線102の入力端子102aを層間絶縁膜117によって覆わない様にしている。これによって、各走査線102の入力端子102aを外部入力端子(TAB)を介して外部回路に接触させることが可能になる。ただし、各ダイオード11～14、各バイアス供給線15a及び各バイアス枝線15bを形成しているエリアは、層間絶縁膜117によって覆う。これは、半導体層114及びn⁺-Si層115からなるダ

イオードの各電極間のリークを防止するためであり、また外部回路等が実装されて表示装置が完成した後に、配線上の何らかの物質の付着などによってダイオード間に不要な電圧が印加されて、表示に悪影響を与えるのを防ぐためである。

【0038】層間絶縁膜117の形成後には、透明導電膜をスパッタ法によって形成し、この透明導電膜をバーニングして、各画素電極104を形成する。これらの画素電極104は、各コンタクトホール105を介して10それぞれのTFT101のドレイン電極に接続される。

【0039】こうして形成されたアクティブマトリクス基板における各画素電極を配置した表示エリア123に、ポリミド系の膜を成膜し、この膜に対してラビング処理等を施して、配向膜を形成する。

【0040】一方、アクティブマトリクス基板に対向配置される他方の基板には、ITO等の透明導電膜を形成し、この透明導電膜をバーニングすることによって、アクティブマトリクス基板の表示エリア123に対向するエリアのみに、透明導電膜を残して対応電極を形成する。

【0041】これらの基板の周縁部に、液晶注入部の部位を除いて、印刷によってシール材を塗布し、この後に他方の基板の対向電極に接続されるアクティブマトリクス基板の出力端子上に、該出力端子を該対向電極に接続するための導電体を重ねて形成し、更に各基板間の隙間を一定にするためのスペーサーを散布してから、各基板を対向配置して貼り合わせる。この後、加熱によってシール材を硬化させ、液晶注入部から各基板間に液晶を注入し、封止部材によって液晶注入部を塞ぐ。以上で、液晶表示装置の液晶パネルが完成する。

【0042】なお、ここでは、各走査線102間に各ダイオード11～14を設け、各バイアス供給線15a及び各バイアス枝線15bを形成しているが、同様の製造過程と略同様の構造によって、図1に示す様に各信号線103間に各ダイオード11～14を設け、各バイアス供給線15a及び各バイアス枝線15bを形成することができる。

【0043】次に、こうして形成された液晶パネルの検査を行う。まず、点灯検査のために、各走査線102、40各信号線103、対向電極、及び各画素の補助容量の共通接続配線に、それぞれの信号を入力して、各画素を点灯する。このとき、各信号線103に注目すると、各信号線103の入力端子103aには、これらの信号線103の検査後に分断すべき検査用の各短絡配線31R、31G、31Bが接続されており、これらの短絡配線31R、31G、31Bによって、赤、緑、青別に、各信号線103を電気的に束ね、束ねられた各信号線103に信号を入力して、各色が表示されているか否かを判定している。

【0044】こうして点灯検査が行われた後、各信号線

103間のリーク検査を行うべく、赤の各信号線103を束ねる短絡配線31Rに+5Vの電圧を加え、その他の配線、つまり緑の各信号線103を束ねる短絡配線31G、青の各信号線103を束ねる短絡配線31B、各走査線102、対向電極、及び各画素の補助容量の共通接続配線を接地電位とする。そして、短絡配線31Rに流れる電流を測定し、この電流の値に基づいて、短絡配線31Rとその他の配線間の抵抗値が無限大もしくは十分に大きいことを確認する。

【0045】このとき、仮に短絡配線31Rによって束ねられた各信号線103に接続されている各ダイオード11～14にバイアス電圧を加えなければ、短絡配線31Rから各ダイオード11～14を介して他の各短絡配線31G、31Bに向かって電流が流れる。各信号線103間に挿入された各ダイオード11～14の抵抗値は、表示に差し支えない程度に十分に高く、先の点灯検査を行うことができるものの、各短絡配線31R、31G間の各ダイオード11～14が並列接続されると共に、各短絡配線31R、31B間の各ダイオード11～14が並列接続されるので、各短絡配線31R、31G間の抵抗値及び各短絡配線31R、31B間の抵抗値が小さなものとなり、この抵抗値に相当する量以下のリークを検出することができない。

【0046】そこで、バイアス配線32Rからバイアス供給線15a及びバイアス枝線15bを介して各ダイオード11、12間及び各ダイオード13、14間に、リーク検査用の電圧として、+5V以上のバイアス電圧+10Vを加え、ダイオード11及びダイオード14に5Vの逆バイアス電圧を加える。この結果、短絡配線31Rによって束ねられた各信号線103とその他の配線間にリークがない限り、短絡配線31Rには電流が流れず、リーク検査を実施することができる。

【0047】同様に、緑の各信号線103を束ねる短絡配線31Gに+5Vの電圧を加えて、その他の配線を接地電位すると共に、バイアス配線32Gからバイアス供給線15a及びバイアス枝線15bを介して各ダイオード11、12間及び各ダイオード13、14間にバイアス電圧+10Vを加えて、ダイオード11及びダイオード14に5Vの逆バイアス電圧を加え、これによって緑の各信号線103のリーク検査を行い、また青の各信号線103を束ねる短絡配線31Bに+5Vの電圧を加え、その他の配線を接地電位すると共に、バイアス配線32Bからバイアス供給線15a及びバイアス枝線15bを介してダイオード11及びダイオード13に5Vの逆バイアス電圧を加え、これによって青の各信号線103のリーク検査を行う。

【0048】なお、各走査線102のリーク検査の場合は、例えば各走査線102を偶数番目のものと奇数番目のものに分けて束ね、偶数番目及び奇数番目別に、束ねられた各走査線102に+5Vの電圧を加えて、その他

の配線を接地電位とすると共に、該各走査線102に接続されるダイオード11及びダイオード14に5Vの逆バイアス電圧を加え、これによってリーク検査を行う。

【0049】以上のように点灯検査及びリーク検査を行った後、図1に示す分断線41に沿ってアクティブマトリクス基板を分断して、各短絡配線31R、31G、31B及び各バイアス配線32R、32G、32B等を切り離し、各信号線103及び各走査線102を相互に分離させる。各ダイオード11～14は、分断線41の内側に配置されているので、アクティブマトリクス基板に残り、静電気による不良発生を防止すると言う役目を果たし続ける。しかも、各ダイオード11～14、各バイアス供給線15a及び各バイアス枝線15bを形成しているエリアを層間絶縁膜117によって覆っているので、分断線41に沿っての分断により、各バイアス供給線15a及び各バイアス枝線15bに連なる導電体の露出した部分が無くなり、これらのダイオード11～14に不要な電圧が加わる可能性がなくなる。このため、各ダイオード11～14を残したことによって、表示装置が完成した後に、表示不良が発生したり、信頼性が損なわれることはない。

【0050】図4は、本発明のアクティブマトリクス基板の第2実施形態を部分的に示す回路図である。この第2実施形態では、各信号線103の入力端子103aよりも内側に、各バイアス配線32R、32G、32Bを配置しており、これによって各入力端子103a間に、配線パターンが形成されない様にしている。この場合、各入力端子103aの設計には、該各入力端子及び該各入力端子に接続される外部端子(TAB)のみの精度を考慮すれば良く、各入力端子103aのピッチを狭くして、高精細な液晶パネルの実現が可能になる。

【0051】図5は、本発明のアクティブマトリクス基板の第3実施形態を部分的に示す回路図である。この第3実施形態では、各信号線103の入力端子103aよりも内側に、各バイアス配線32R、32G、32Bを配置するばかりでなく、各短絡配線31R、31G、31B及び各バイアス配線32R、32B、32Gを削除し、これに伴い分断線41を省略している。

【0052】これによって、各入力端子103a間に、配線パターンが形成されず、各入力端子103aのピッチを狭くして、高精細な液晶パネルの実現が可能になる。

【0053】検査の際には、各走査線102、各信号線103及び各バイアス配線32R、32G、32Bの端子32r、32g、32bに、短針やフレキによってそれぞれの信号を直接加えることになる。この様に各信号線103や各端子にそれぞれの信号を直接加える場合、各信号を加えるためのそれぞれの針の配置スペースや位置合わせ精度の都合により、各信号線103の入力端子50 103a間に配線パターンを形成することが極めて困難

になるため、各バイアス配線32R, 32G, 32Bを各信号線103の入力端子103aよりも内側に配置することは、第2実施形態と比較して、更に一層好ましい。

【0054】このアクティブマトリクス基板の検査を行う場合は、実際の表示装置と同じ駆動信号を入力してもよく、検査をより容易に行うために、外部治具を用いて、まとまった本数の各信号線もしくは各走査線に单一の信号を入力しても良い。ただし、各信号線間や各走査線間のリークを検査する場合には、検査をより迅速に行うために、例えば偶数番目と奇数番目と言った様に、多数の線をそれぞれの外部回路によって束ね、束ねられた各線とその他の配線間の抵抗値を一括して測定することによって検査するのが常識的である。勿論、この場合は、各線間のダイオードに逆バイアスを加える必要がある。

【0055】また、この第3実施形態の構造の場合は、各バイアス配線32R, 32G, 32Bの端子32r, 32g, 32bを各信号線103の入力端子103aから離間して配置するのが好ましい。これによって、外部回路を実装する際に位置ずれが起こったときに、各バイアス配線32R, 32G, 32Bの端子32r, 32g, 32bに不要な信号が加わって、表示に支障を来すのを防止する。

【0056】

【発明の効果】本発明によれば、例えば各信号線間は、複数のダイオードを直列してなる直列回路を介して接続されている。このため、一方の信号線の電荷を各ダイオードを介して他方の信号線に逃がすことができ、ショートリング除去後も、過大な静電気を分散することができる。また、各ダイオード間に電圧を印加して、少なくとも1つのダイオードに逆バイアスをかけければ、少なくとも該バイアスの分だけ、各ダイオードを介しての各線間のリークを防止することができるので、各線を束ねた状態でのリーク検査が可能となる。

【0057】具体的には、表示領域に使用しているものと同じ寸法のTFTからダイオードを形成した場合、640本の各信号線と、それ以外の各信号線及び各走査線間の抵抗の測定値は4.7KΩに過ぎず、実質的にリーク検査ができなかったのに対し、上記ダイオードへの逆バイアスによって、リークの測定値は測定限界以下となり、リークの有無をリーク電流の有無によって明確に区別することができる。しかも、製造過程から見ると、この新たな構造をアクティブマトリクス基板を採用することによって、新たな工程数の追加は必要なく、検査時ににおいてバイアス用の直流電源が1系統だけ加わるだけであり、コストの上昇を招かずに済む。

【0058】また、各バイアス線の全てを各信号線の端子及び各走査線の端子の外側に引き出すのではなく、各バイアス線を適宜に共通化し接続してから外側に引き出

しているので、各信号線の端子間及び各走査線の端子間に余地が少ない場合でも、各バイアス線を配置することができ、また各信号線の端子及び各走査線の端子のピッチを狭くしたり、各端子の面積を広くして、これらの端子への信号入力を支障なく行うことができる。

【0059】更に、各バイアス線を各信号線の端子及び各走査線の端子の内側に形成した場合は、各端子間に配線パターンを形成する必要がないので、各端子の設計には、該各端子及び該各端子に接続される外部端子(TAB)のみの精度を考慮すれば良く、各端子のピッチを狭くして、高精細な液晶パネルの実現が可能になる。

【0060】また、絶縁膜を各走査線の端子上に形成せず、また絶縁膜を各ダイオード上に形成しているので、各ダイオードや該各ダイオードの配線のリークを防止することができ、かつ配線上の何らかの物質の付着などによってダイオード間に不要な電圧が印加されることが防止される。

【0061】更に、点灯検査及びリーク検査を行った後、各信号線の端子及び各走査線の端子を共通接続するための配線や各ダイオードの配線を切り離すために、アクティブマトリクス基板を分断するときには、各ダイオードをアクティブマトリクス基板に残すので、各ダイオードは、静電気による不良発生を防止すると言う役目を果たし続ける。また、アクティブマトリクス基板の分断のときには、各ダイオードの不要な配線を切断するので、この配線に連なる導電体の露出した部分が無くなり、各ダイオードに不要な電圧が加わる可能性がなくなり、表示装置が完成した後に、表示不良が発生したり、信頼性が損なわれることはない。

【0062】また、各バイアス線を各信号線の端子及び各走査線の端子の内側に形成するだけでなく、各信号線の端子及び各走査線の端子を共通接続するための配線を設けなければ、アクティブマトリクス基板を分断する必要がない。この場合、各走査線、各信号線に、短針やフレキによってそれぞれの信号を直接加えることになるものの、各信号を加えるためのそれぞの針の配置スペースや位置合わせ精度の都合により、各信号線の端子間に配線パターンを形成することが極めて困難になるため、各バイアス線を各信号線の端子よりも内側に配置することは、更に一層好ましい。また、各端子間に、配線パターンが形成されることはなく、各端子のピッチを狭くして、高精細な液晶パネルの実現が可能になる。

【0063】更に、各バイアス線の端子を各信号線の端子から離間して配置しているので、外部回路を実装する際に位置ずれが起こったときに、各バイアス線の端子に不要な信号が加わって、表示に支障を来すのを防止する。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の第1実施形態を部分的に示す回路図

【図2】図1のアクティブマトリクス基板における各ダイオードを形成する配線パターンを示す平面図

【図3】図2のC-C'に沿う断面構造を示す断面図

【図4】本発明のアクティブマトリクス基板の第2実施形態を部分的に示す回路図

【図5】本発明のアクティブマトリクス基板の第3実施形態を部分的に示す回路図

【図6】TFTを用いて構成されるアクティブマトリックス基板を部分的に示す平面図

【図7】図6のA-A'に沿う断面構造を示す断面図

【図8】従来のアクティブマトリクス基板を部分的に示す平面図

【図9】従来の入力保護回路を示す回路図

【図10】図9の入力保護回路における各ダイオードを形成する配線パターンを示す平面図

【図11】図10のB-B'に沿う断面構造を示す断面図

【符号の説明】

11, 12, 13, 14 ダイオード

15a バイアス供給線

15b バイアス枝線

21, 23, 25, 26, 28, 30 コンタクトホール

22, 24, 27, 29 短絡線

31R, 31G, 31B 短絡配線

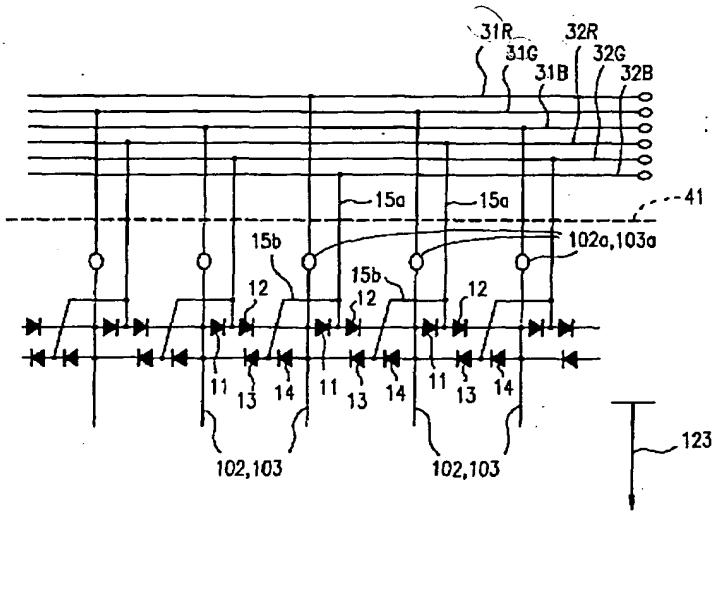
32R, 32G, 32B バイアス配線

41 分断線

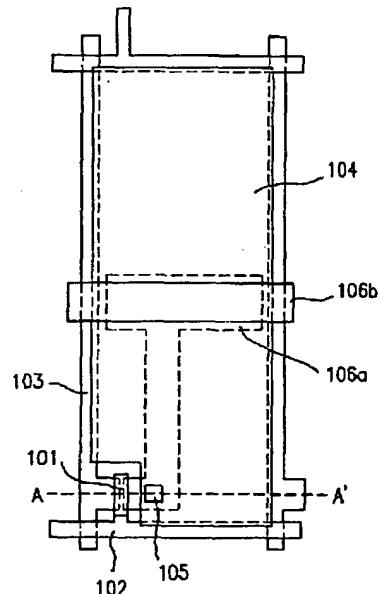
102 走査線

103 信号線

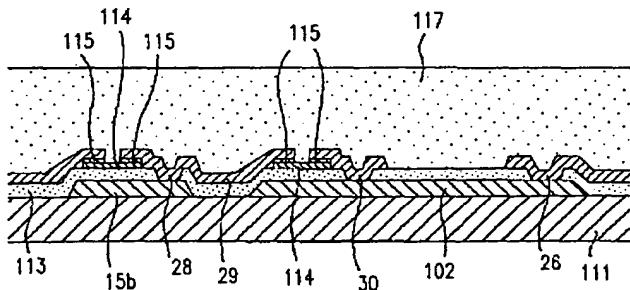
【図1】



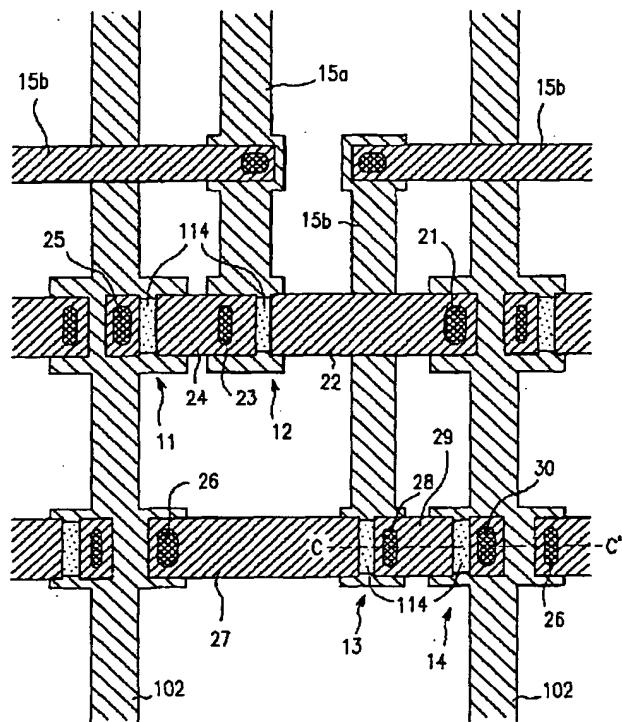
【図6】



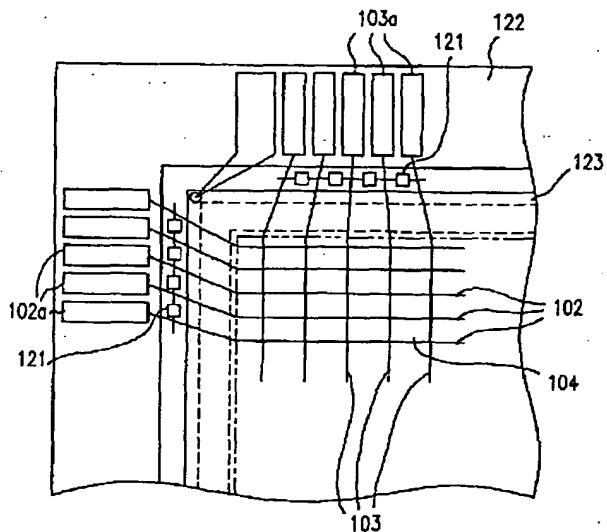
【図3】



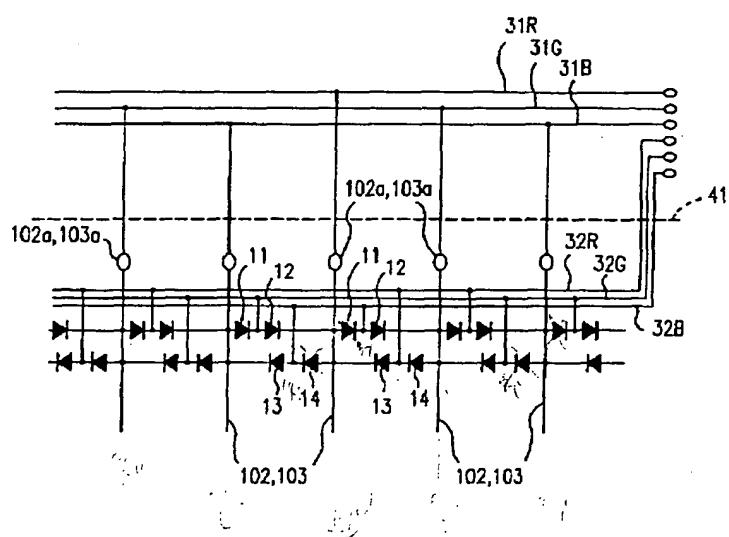
【図2】



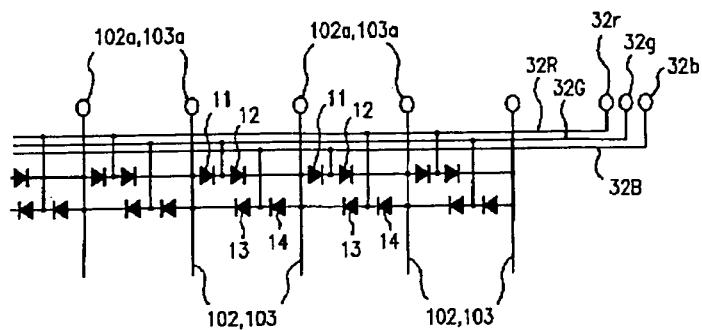
【図8】



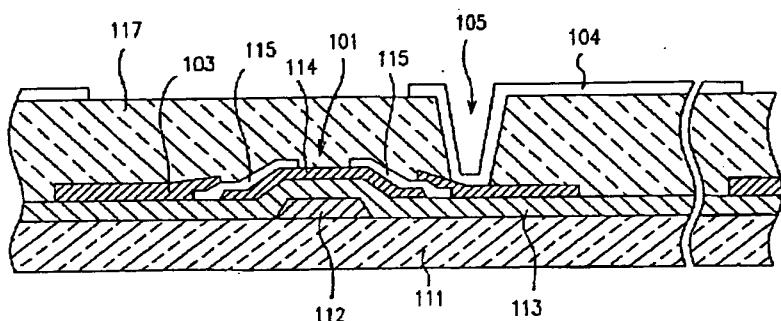
【図4】



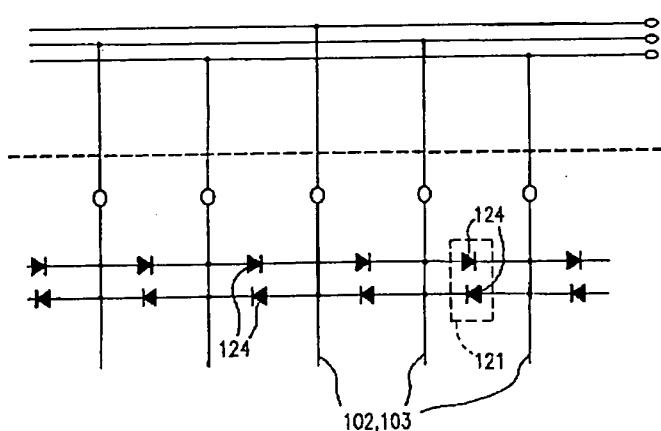
【図 5】



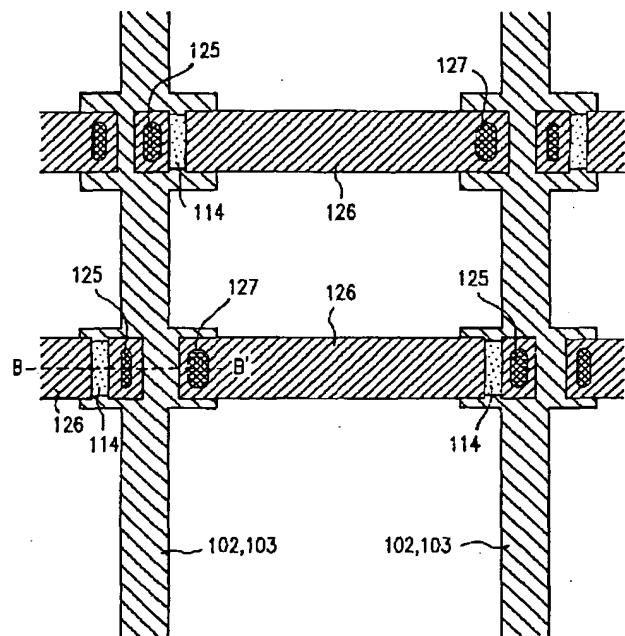
【図 7】



【図 9】



【図 10】



【図 11】

